**Министерство образования и науки Кыргызской Республики**

**Министерство науки и высшего образования Российской Федерации**

Государственное образовательное учреждение

высшего профессионального образования

Кыргызско-Российский Славянский университет

Имени первого Президента Российской Федерации Б. Н. Ельцина

Естественно-технический факультет

Кафедра информационных и вычислительных технологий

**ЛАБОРАТОРНАЯ РАБОТА №3**По дисциплине: «Схемотехника»

Вариант №2

Выполнил: студент группы ЕПИ-4-23 Лосев Данил

Руководитель: Полунин Валерий Викторович

Оценка: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Дата: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**Бишкек-2024**

# Цель работы

В последней лабораторной работе вы узнали, как использовать схематический ввод для проектирования цифровых схем в Altera Quartus II. Этапы выполненной вами работы включали: понимание постановки задачи, вывод логической функции, построение логического выражения с использованием логических элементов (НЕ, ИЛИ, И), присвоение имен входам и выходам и, наконец, использование FPGA и/или ModelSim (встроенного симулятора) для проверки схемы. Настоящая лаборатория аналогична предыдущей, но здесь используется другой подход. Вам следует написать код на Verilog для описания логического выражения вместо того, чтобы рисовать логические элементы.

**Задание:**

1) Составьте таблицу истинности для решения своего варианта задания.

2) По таблице истинности составьте POS- и SOP-выражения.

3) Выполните схематическое проектирование и FPGA для реализации POS- и SOP-выражений.

4) Используя Verilog, выполните структурное и поведенческое описание решаемой проблемы на базе POS- и SOP- выражений.

6) Проверьте правильность работы схемы на плате DE0 и с помощью встроенного симулятора.

**Вариант II**

Известно, что:

• если студент А сдаст экзамен по Схемотехнике, то и студент B тоже сдаст экзамен;

• является ложью то, что студенты B и C сдадут экзамен по Схемотехнике.

Рассмотрите три элементарных высказывания:

• A - студент А сдаст экзамен;

• B - студент B сдаст экзамен;

• C - студент C сдаст экзамен.

Выведите логические выражения для каждого высказывания, базируясь на условиях задачи. При возможности упростите выражение. Составьте таблицу истинности.

**Решение:**

D = если А сдаст экзамен, то и B тоже

E = если студенты не сдадут экзамен

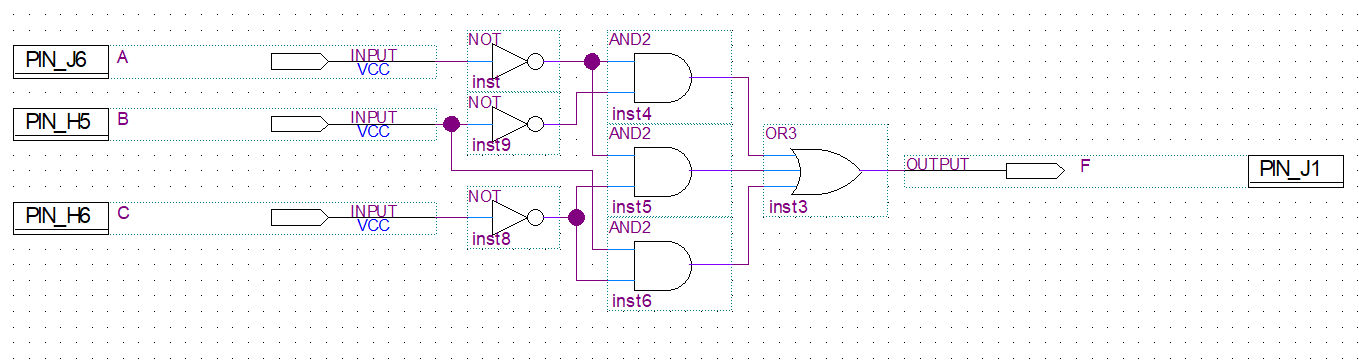
Логические выражения:

1. D = A ⇒ B
2. E = ¬(B\*C)
3. F = D\*E
4. F = (A⇒B)\*¬(B\*C) = (¬A+B)\*( ¬B+¬C)
5. F = (¬A\*¬B)+(¬A\*¬C)+(B\*¬B)+(B\*¬C)
6. F = (¬A\*¬B)+(¬A\*¬C)+(0)+(B\*¬C)
7. F = (¬A\*¬B)+(¬A\*¬C)+(B\*¬C)

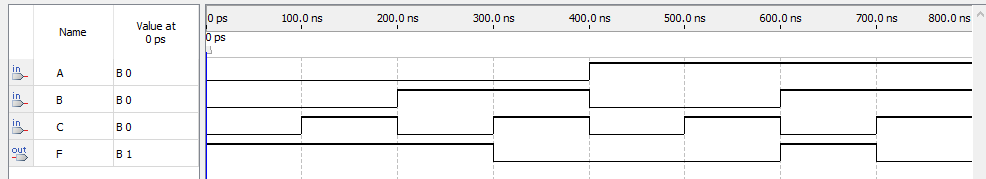
# Схема и таблица истинности

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A | B | C | A⇒B | B\*C | ¬(B\*C) | F |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 |

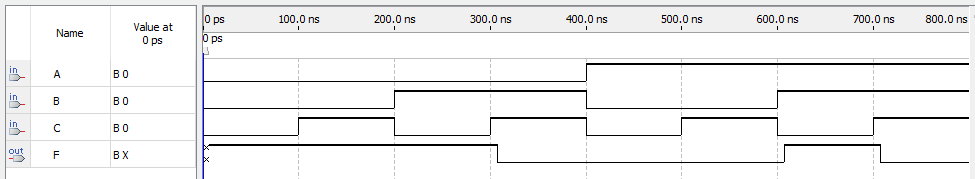
Схема:



Функциональное моделирование:



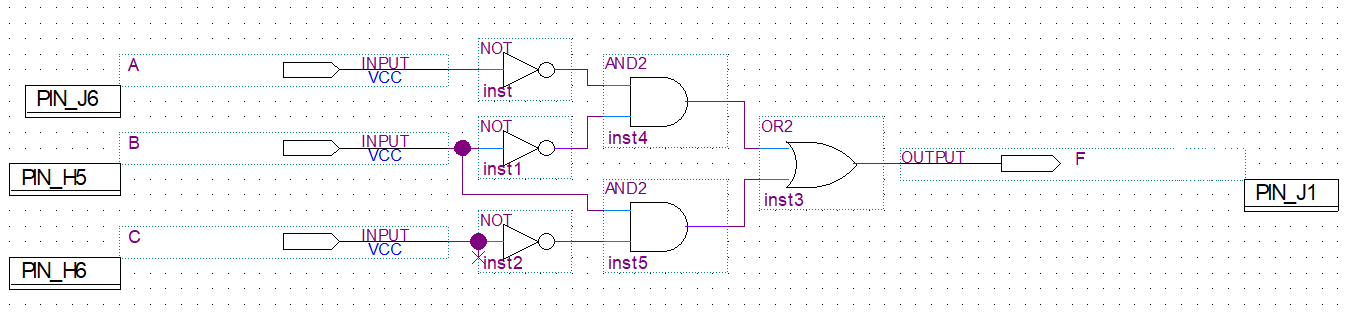
Временное моделирование:



**SOP выражение:** (¬A\*¬B\*¬C) +(¬A\*¬B\*C) + (¬A\*B\*¬C) + (A\*B\*¬C) = (¬A\*¬B)\*(¬C+C)+(B\*¬C)\*(¬A+A) = (¬A\*¬B)\*(1)+(B\*¬C)\*(1)

**Упрощенное SOP выражение:** (¬A \* ¬B) + (B \* ¬C)

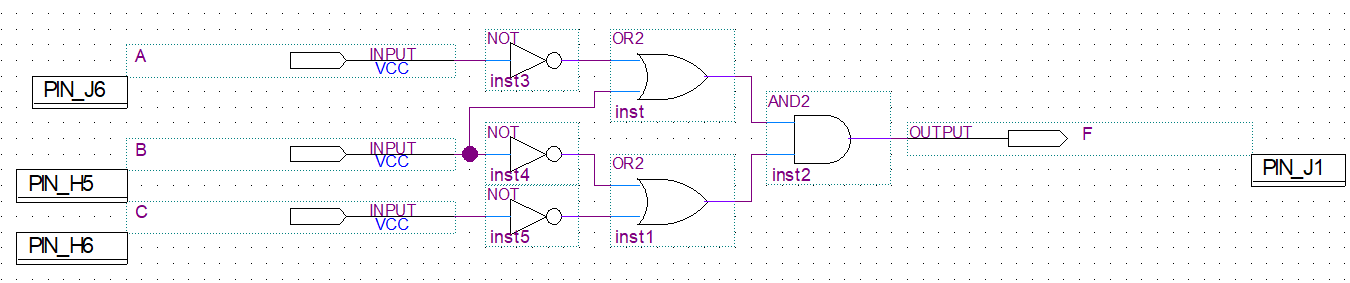
Схема:



**POS выражение:** (A+¬B+¬C) \* (¬A+B+C) \* (¬A+B+¬C) \* (¬A+¬B+¬C)

**Упрощенное POS выражение:** (¬B+¬C)\*( ¬A+B)

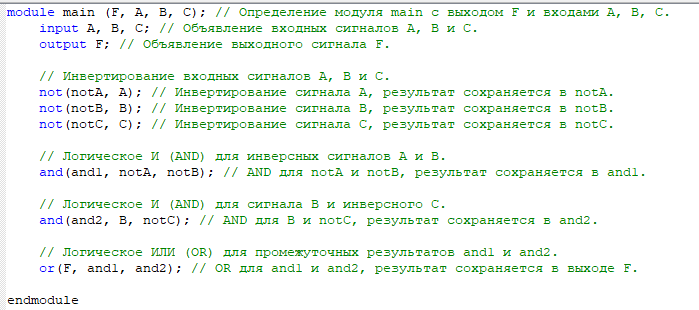
Схема:



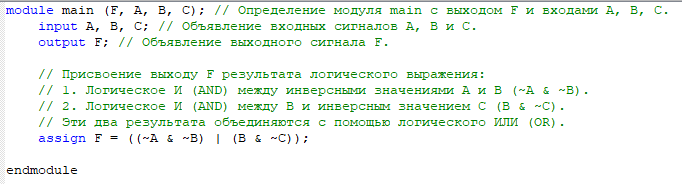
# Код на Verilog для структурного и поведенческого стиля программирования.

Формула: F = (¬A \* ¬B) + (B \* ¬C) **SOP**

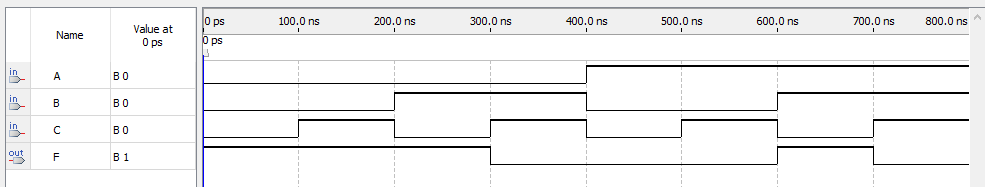
Структурное:



Поведенческое:

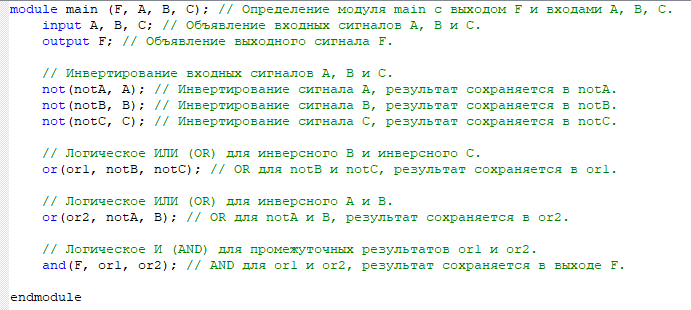


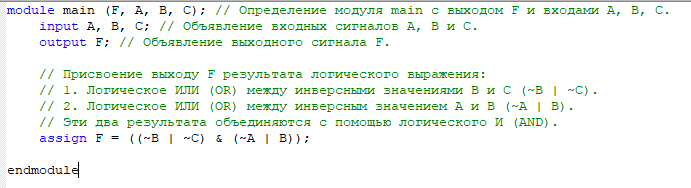
Функциональное моделирование:



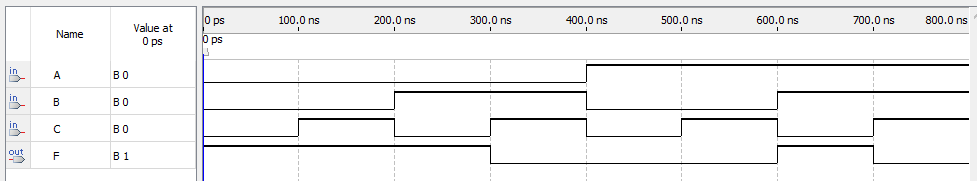
Формула: F = (¬B+¬C)\*( ¬A+B) **POS**

Структурное:

Поведенческое:



Функциональное моделирование:



# Контрольные вопросы

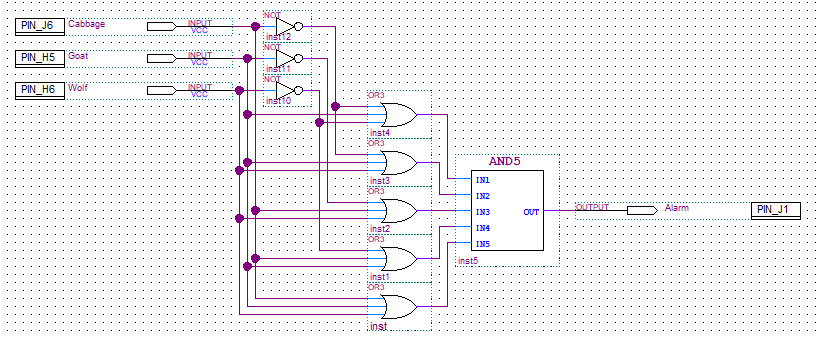
1. Заполните таблицу истинности для задачи фермера:

|  |  |  |  |
| --- | --- | --- | --- |
| C | G | W | A |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

2. Приведите POS-выражения для этой таблицы истинности.

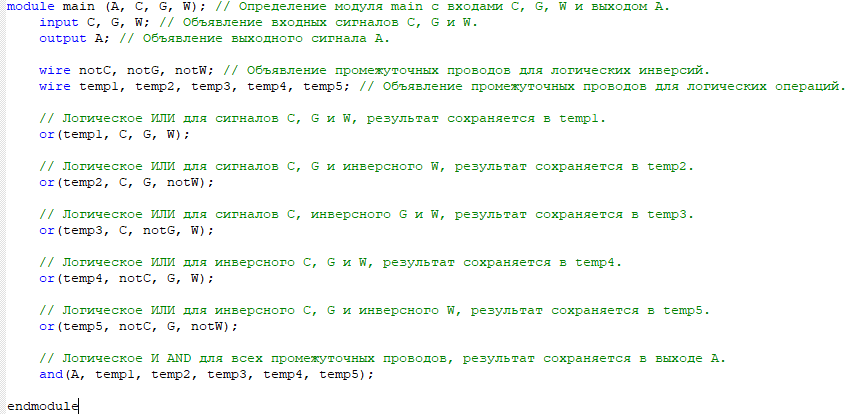
F = (С+G+W) \* (С+G+¬W) \* (С+¬G+W) \* (¬С+G+W) \* (¬С+G+¬W)

Схема:

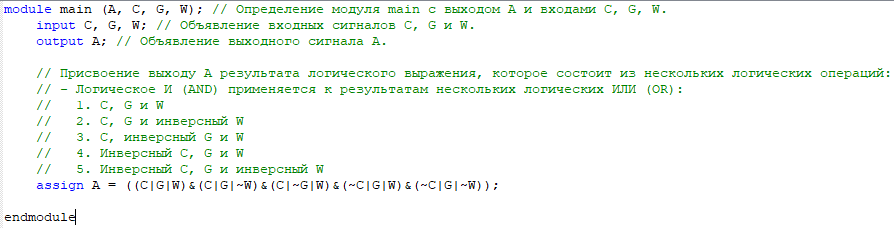


3. Напишите структурное и поведенческое описание на языке Verilog для данного POS выражения

Структурное:



Поведенческое:



4. Заполните таблицу истинности для расширенной задачи фермера:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| F | C | G | W | A |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

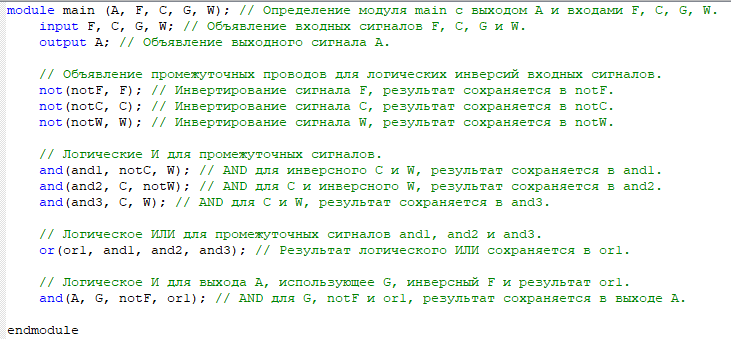
5. Приведите SOP-выражения для расширенной таблицы истинности.

F = (¬F\*¬C\*G\*W)+(¬F\*C\*G\*¬W)+(¬F\*C\*G\*W) =

G\*¬F\*((¬C\*W) +(C\*¬W)+(C\*W))

6. Напишите структурное и поведенческое описание на языке Verilog для данного SOP выражения

Структурное:



Поведенческое:

